

#2  
MDJ  
10.8.02

Jc971 U.S. PTO  
10/033505  
12/27/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Kazuhisa KADA, et al.**  
Filed: : **Concurrently herewith**  
For: : **PARALLEL SIGNAL TRANSMISSION.....**  
Serial No. : **Concurrently herewith**

Assistant Commissioner for Patents  
Washington, D.C. 20231

December 27, 2001

**PRIORITY CLAIM AND SUBMISSION**  
**OF PRIORITY DOCUMENT**

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2001-205116** filed **July 5, 2001**, a certified copy of which is enclosed.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,

  
\_\_\_\_\_  
Samson Helfgott  
Reg. No. 23,072

ROSENMAN & COLIN, LLP  
575 MADISON AVENUE  
IP Department  
NEW YORK, NEW YORK 10022-2584  
DOCKET NO.: FUJZ 19.303  
TELEPHONE: (212) 940-8800

CERTIFIED COPY OF  
PRIORITY DOCUMENT

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

10/033505  
12/27/01  
10/033505  
12/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 7月 5日

出 願 番 号  
Application Number:

特願2001-205116

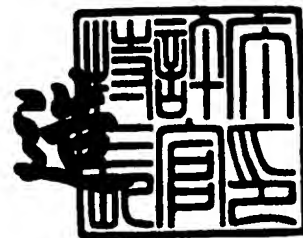
出 願 人  
Applicant(s):

富士通株式会社

2001年 8月31日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 進



【書類名】 特許願

【整理番号】 0150381

【提出日】 平成13年 7月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 9/00  
H04N 7/30

【発明の名称】 パラレル信号伝送装置

【請求項の数】 5

【発明者】

    【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ  
        ィジタル・テクノロジ株式会社内

    【氏名】 嘉田 和久

【発明者】

    【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ  
        ィジタル・テクノロジ株式会社内

    【氏名】 下野 裕行

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
        株式会社内

    【氏名】 鈴木 輝彦

【発明者】

    【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ  
        ィジタル・テクノロジ株式会社内

    【氏名】 三宅 周治

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100090011

【弁理士】

【氏名又は名称】 茂泉 修司

【手数料の表示】

【予納台帳番号】 023858

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704680

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パラレル信号伝送装置

【特許請求の範囲】

【請求項 1】

送信部でシリアル信号をパラレル信号に変換してから受信部に伝送するパラレル信号伝送装置において、

該送信部が、該パラレル信号とは別に該パラレル信号を周期的にラッチするラッチ部と、該ラッチ部でラッチした信号から、同期信号を含むシリアルラッチコード信号を生成するラッチコード信号生成部と、該パラレル信号を所定時間遅延させて該シリアルラッチコード信号に対する該パラレル信号の位相調整を行うための固定遅延部とを備え、

該受信部が、該パラレル信号及びシリアルラッチコード信号のクロック再生部と、該クロック再生部によって再生されたクロックに基づいて該パラレル信号及びシリアルラッチコード信号のビット乗換を行うビット乗換部と、該シリアルラッチコード信号に基づいて該ビット乗換部から出力されたパラレル信号のビットずれ量を検出するビットずれ検出部と、該ビットずれ量に従って該ビット乗換部から出力されたパラレル信号のスキュー調整を行う可変遅延部とを備えたことを特徴とするパラレル信号伝送装置。

【請求項 2】 請求項 1 において、

該送信部が、さらに、該パラレル信号にスクランブル処理を施してから該ラッチ部及び該固定遅延部に与えるスクランブル処理部を備え、該受信部が、さらに、該可変遅延部から出力されたパラレル信号に対してデスクランブル処理を施すデスクランブル処理部を備えたことを特徴とするパラレル信号伝送装置。

【請求項 3】 請求項 2 において、

該ラッチ部が、該パラレル信号をラッチしたタイミングで該スクランブル処理部をリセットし、該ビットずれ検出部が、該可変遅延部に対してスキュー調整したタイミングで該デスクランブル処理部をリセットすることを特徴としたパラレル信号伝送装置。

【請求項 4】 請求項 1 から 3 のいずれかにおいて、

該パラレル信号のパラレル数が素数であることを特徴としたパラレル信号伝送装置。

【請求項 5】 請求項 1 から 4 のいずれかにおいて、

該パラレル信号のパラレル数と該ラッチ部がラッチするサンプリング間隔のビット数とが互いに素の関係にあることを特徴としたパラレル信号伝送装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はパラレル信号伝送装置に関し、特に送信部でシリアル信号をパラレル信号に変換してから受信部に伝送するパラレル信号伝送装置に関するものである。

【 0 0 0 2 】

シリアル信号から変換されたパラレル信号を複数の信号線を用いて送信部から受信部に信号伝送を行うと、個々の信号線に発生するスキュー（skew：データ位相のばらつき）により、受信部では正常なパラレル信号処理が行えなくなるため、何らかのスキュー調整（位相調整）が必要となる。

【 0 0 0 3 】

【従来の技術】

従来のパラレル信号線を用いた伝送装置においては、発生するスキューと比べて伝送データの周期が充分大きく、従って送信部と受信部の間に単純な遅延回路を持たせて調整を行うか、或いは伝送速度自体を下げるという手法を採っていた。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかしながら、近年の飛躍的な技術進歩により、超高速/大容量の信号伝送が可能となり、例えば IC（集積）回路においては、パラレル伝送データの周期が極端に短くなったため、データ周期に対するスキューの割合が大きくなり、受信部において時間軸でのパラレルデータの並びが揃わなくなってしまう、正常な処理が行えなくなるという問題が生じていた。

## 【 0 0 0 5 】

従って本発明は、送信部でシリアル信号をパラレル信号に変換してから受信部に伝送するパラレル信号伝送装置において、単純な遅延回路では抑制が困難な時間軸でのスキューを調整することを目的とする。

## 【 0 0 0 6 】

## 【課題を解決するための手段】

上記の目的を達成するため、本発明（1）に係るパラレル信号伝送装置は、図1に原理的に示すように、送信部1が、直並列変換部（S/P）11から出力されたパラレル信号とは別に該パラレル信号を周期的にラッチするラッチ部12と、該ラッチ部12でラッチした信号から、同期信号を含むシリアルラッチコード信号を生成するラッチコード信号生成部13と、該パラレル信号を所定時間遅延させて該シリアルラッチコード信号に対する該パラレル信号の位相調整を行うための固定遅延部14とを備え、受信部3が、該パラレル信号及びシリアルラッチコード信号のクロック再生部31と、該クロック再生部31によって再生されたクロックに基づいて該パラレル信号及びシリアルラッチコード信号のビット乗換を行うビット乗換部32と、該シリアルラッチコード信号に基づいて該ビット乗換部32から出力されたパラレル信号のビットずれ量を検出するビットずれ検出部33と、該ビットずれ量に従って該ビット乗換部32から出力されたパラレル信号のスキュー調整を行う可変遅延部34とを備えたことを特徴としている。

## 【 0 0 0 7 】

このような本発明（1）の動作を図2から図5に示したタイムチャートを参照して以下に説明する。

まず、送信部1に入力された図2（1）に示す超高速シリアル信号（周波数 $P$  [Hz]）は、直並列変換部（S/P）11において、同図（2）に示すようにパラレル数 $N$ のデータに変換されてラッチ部12及び固定遅延部14に送られる。

## 【 0 0 0 8 】

このような $N$ パラレル信号はラッチ部12において周期的にサンプリングされる。すなわち、図2（2）に示す $N$ パラレル信号は、図3（1）にも示されており、これを、同図（2）に示すサンプリング周期により、ラッチ部12は、同図（3）に示

すNパラレルラッチ信号に変換する。

【 0 0 0 9 】

そして、このようなNパラレルラッチ信号は、ラッチコード生成部13において、同図（2）に示したサンプリング周期のフレーム信号FPを有するシリアルラッチコード信号（同図(4)参照）に変換し、伝送路2を介して受信部3へ出力する。なお、このシリアルラッチコード信号は、同図（3）のNパラレルラッチ信号をシリアル信号に変換したデータの両側において、図示のようにフレーム信号FPを含む固定データが挿入された形で出力される。

【 0 0 1 0 】

直並列変換部11から出力されたパラレル信号は、固定遅延部14において、受信部3へ出力するNパラレル信号と、ラッチコード生成部13から出力されるシリアルラッチコード信号との位相差調整を行うための所定遅延時間を該パラレル信号に与え、伝送路2を介して受信部3へ送出する。この所定遅延時間については、後述する。

【 0 0 1 1 】

受信部3においては、固定遅延部14からのNパラレル信号（周波数 $P/N$  [Hz]）及びラッチコード生成部13からのシリアルラッチコード信号（同）がクロック再生部31に入力される。このクロック再生部31は、Nパラレル信号の各々についてクロック再生を行うクロック再生部DCR（Digital Clock Recovery） $_1 \sim N$ と、シリアルラッチコード信号に対するクロック再生部DCR $_{LT}$ とで構成されており、各受信信号からクロック成分を抽出し、そのいずれかのクロックを基準クロック（マスタクロック）として図4（1）に示すように、データと合わせてビット乗換部32に出力するものである。

【 0 0 1 2 】

このように、クロック再生部DCR $_1 \sim N$ から出力されたデータは、同図（1）に示す如く、データ位置がばらついた、すなわちスキュー状態のデータであるため、これをビット乗換部32において、同図（2）に示すように該基準クロックを用いてNパラレル信号をビット乗換し、以って時間軸上でのずれを無くしてから可変遅延部34へ送る。なお、クロック再生部DCR $_{LT}$ から出力されたシリアルラッチコ

ード信号（図3（4）参照）についても同様にビット乗換部32でビット乗換が行われる。

#### 【0013】

このように、ビット乗換部32においてビット乗換されたNパラレル信号及びシリアルラッチコード信号はビットずれ検出部33に送られてビットずれ量の検出が行われる。

すなわち、このビットずれ検出部33においては、図5（1）に示すビット乗換後のNパラレル信号と図3（4）に示したシリアルラッチコード信号とが入力されると共に、該シリアルラッチコード信号は、図5（3）に示すようにNパラレル展開されたラッチコードデータに内部で変換され、同図（1）に示すビット乗換後のNパラレル信号を、同図（3）に示すラッチコード信号とコード照合することによりNパラレル信号のビットずれ量を検出する。

#### 【0014】

このようなビットずれ量を検出するため、ビットずれ検出部33は、図3（4）に示したシリアルラッチコード信号のフレーム信号に対応する図5（4）に示した同期信号としてのラッチ周期信号を基準とした所定ビット数Wのウィンドウ（図5参照）をビットずれ監視範囲として用いる。

#### 【0015】

すなわち、例えば、同図（1）に示すNパラレル信号のビットA6は、ラッチ周期信号に対するビットずれ量が“A”であり、ビットB6はビットずれ量が“B”、ビットC6はビットずれ量が“C”、そして、ビットN6はビットずれ量が“N”であることが分かる。

#### 【0016】

そして、このようにしてビットずれ検出部33で求められた各パラレルデータのビットずれ量を可変遅延部34に与えることにより、可変遅延部34では、図5（6）に示すようにスキュー調整されたNパラレル信号（周波数 $P/N$  [Hz]）として出力することができる。

#### 【0017】

従って、図示のように可変遅延部34からの各パラレル信号は時間軸上の並びが

揃った形になる。

なお、上記のウィンドウWのビット数は、経験又は実験等によりスキューが発生し得るビット範囲として最適なものを用いればよい。また、このウィンドウに対する位相調整のため、固定遅延部14による所定遅延時間を設定することが好ましい。

#### 【0018】

本発明（2）に係るパラレル信号伝送装置は、図6に原理的に示すように、図1に示した本発明（1）の構成に加えて、送信部1がさらに、パラレル信号にスクランブル処理を施してからラッチ部12及び固定遅延部14に与えるスクランブル処理部（SCR）15を備え、受信部3がさらに、可変遅延部34から出力されたパラレル信号に対してデスクランブル処理（DSR）を施すデスクランブル処理部35を備えたものである。

#### 【0019】

このような本発明（2）の動作を図7に示したタイムチャートにより以下に説明する。

図7に示すタイムチャートでは、N=8のパラレル信号を例示しており、同図（1）に示すパラレル信号は図3（1）に示すパラレル信号に対応している。このパラレル信号をスクランブル処理部15においてスクランブル処理したものが図7（2）に括弧付きで示されている。

#### 【0020】

そして、このスクランブル処理されたパラレル信号を、図3(2)と同様にラッチ部12でサンプリングした後、ラッチコード生成部13でシリアル化したものが図7（3）に示すシリアルラッチコード信号である。

従って、スクランブル処理部15に入力されるパラレル信号が“1”又は“0”に固定されたデータであっても、スクランブル処理が施されるため、スクランブル処理部15の出力は固定データにならずに受信部3に対して送出することが可能となる。

#### 【0021】

これは、図7(3)に示すシリアルラッチコード信号についても同様であり、“0

”及び“1”が混在した信号となる。

受信部においては、同図(4)に示すビット乗換後のパラレル信号は、同図(5)に示す受信したシリアルラッチコード信号に基づいて、図5と同様にスキュー調整を行った後、図7(6)に示すスキュー調整後のパラレル信号として可変遅延部34から出力される。

#### 【0022】

そして、デスクランブル処理部35を構成する各デスクランブル処理部 $DSR_1 \sim DSR_N$ において送信部1におけるスクランブル処理部15と逆のデスクランブル処理をパラレル信号に対して施し、元の8パラレル信号に戻して出力する。

このように、スクランブル処理を施したデータに対して受信部3でクロック再生を行うので、クロック再生動作が安定し、その性能が向上することになる。

#### 【0023】

本発明(3)に係るパラレル信号伝送装置は、図8に原理的に示すように、図6に示した本発明(2)において、さらに、ラッチ部12が該パラレル信号をラッチしたタイミングでスクランブル処理部15をリセットし、受信部においても、ビットずれ検出部33が、可変遅延部34に対するスキュー調整を行ったタイミングでデスクランブル処理部35をリセットすることを特徴としたものである。

#### 【0024】

このような本発明(3)の動作を図9に示すタイムチャートを参照して以下に説明する。なお、このタイムチャート例においても $N=8$ のパラレル信号を扱っている。

図9においては、同図(8)に示すスクランブル処理部15に対するリセット用のラッチタイミング信号のみが図7のタイムチャートに加えられており、このラッチタイミング信号により、スクランブル処理部15のスクランブル処理がリセットされることとなり、これに対応する、同図(5)に示すシリアルラッチコード信号のラッチ同期信号(図5(4)参照)により、ビットずれ検出部33が各デスクランブル処理部 $DSR_1 \sim DSR_N$ のデスクランブル処理をリセットしている。

#### 【0025】

このようにして、ラッチタイミング信号により一回一回リセットを掛けている

ので、伝送路2中でデータが誤っても他のサンプリングデータに対して波及することが抑制され、以ってクロック再生部の動作も安定することとなる。

本発明(4)に係るパラレル信号伝送装置においては、上記のパラレル信号のパラレル数を素数とすることを特徴としている。これを、図10に示す動作タイムチャートで以下に説明する。

#### 【 0 0 2 6 】

例えば、図2のタイムチャートに示した信号は $n$ 多重で $N$ パラレルの信号であるが、この場合に $n=N$ であるとする、任意のビットが“0”又は“1”に固定されていた場合、パラレル信号に変換した時のその信号線は必ず“0”又は“1”の固定したデータになってしまう。

#### 【 0 0 2 7 】

これを防ぐため、本発明(4)ではパラレル数 $N$ を、この例では素数“5”で構成する。これにより、例えば、太字で図示したデータA8 (A8-1～A8-7) は、同図(1)と(3)を比較すれば分かるように、5本のパラレル信号線をランダムに経由して伝送されることとなり、たとえこのデータA8が固定データであっても、固定した信号線上でのみ伝送されることが無くなり、クロック再生部の動作が安定し、その性能向上に寄与することとなる。

#### 【 0 0 2 8 】

本発明(5)に係るパラレル信号伝送装置においては、上記のパラレル数と、ラッチ部12がラッチするサンプリング間隔とを互いに素の関係にすることを特徴としている。これを図11の動作タイムチャートを参照して以下に説明する。なお、図11(1)～(5)は図10(1)～(5)に示すタイムチャートに対応する。

#### 【 0 0 2 9 】

この動作例では、同図(1)に示すように、 $N=4$ パラレル信号を用い、そのデータ周期が1フレーム=16ビットであるが、同図(2)に示すシリアルラッチコード信号の周期が7ビットであるため、ラッチ部12によるラッチタイミングとデータ周期とが素の関係にある。

#### 【 0 0 3 0 】

このため、第1フレームではxx-1のデータ (A1-1～A4-1) をラッチし、第2フレ

ームではxx-4のデータ（A1-4～A4-4）をラッチし、また、第3フレームではラッチせず、そして第4フレームではxx-3のデータ（A1-3～A4-3）をラッチする。

従って、毎回異なったタイミングのデータをラッチすることになり、周期的なデータであっても、フレーム毎に異なるタイミングのデータがラッチされるので、ビットずれ検出部33においては固定ビットによる誤検出の発生を防ぐことができる。

#### 【0031】

ここでビットずれ検出部は、各パラレル信号に対する該ビットずれ量の検出を、所定段数の前方及び後方保護手段により行うことが好ましい。

また、該ビットずれ検出部は、該保護手段の内のいずれか1つで成立したときのみ該ビットずれ量が検出された同期確立状態であると判定する手段を有することが好ましい。

#### 【0032】

さらに、該ビットずれ検出部は、同期確立状態の時、該ラッチ信号のタイミング以外のコード照合を禁止する手段を有することが好ましい。

さらに、該ビットずれ検出部は、該同期状態でないとき、対応するパラレル信号の該保護手段をクリアする手段を有することが好ましい。

#### 【0033】

さらに、該ビットずれ検出部は、該同期確立状態が所定時間確立しないとき、警報を発する手段を有することが好ましい。

#### 【0034】

#### 【発明の実施の形態】

図12は、図1に原理的に示した本発明(1)に係るパラレル信号伝送装置の実施例を示したものである。この実施例では、入力シリアル信号として40GHzの超高速シリアル信号をN=16パラレル信号に変換して運用しており、これに対応してクロック再生部31は16個のクロック再生部DCR<sub>1</sub>～DCR<sub>16</sub>で構成されている。また、図13から図16に示した動作タイムチャートは、図2から図5に示したタイムチャートにそれぞれ対応している。

#### 【0035】

まず、送信部1においては、まず直並列変換部11において図13(1)に示す40GHzの超高速シリアル信号を同図(2)に示す16パラレル信号に変換してラッチ部12と固定遅延部14に送る。

ラッチ部12では、図14(2)に示すサンプリング周期により、同図(3)に示す16パラレルラッチ信号を生成してラッチコード生成部13に送る。ラッチコード生成部13では周波数 $P/N=40/16=2.5\text{GHz}$ の16ビット長より長いフレームのシリアルラッチコード信号（同図(4)参照）を生成して受信部3へ送る。

#### 【 0 0 3 6 】

このシリアルラッチコード信号には、ラッチ部12でラッチした16パラレル信号をシリアル化したデータ列以外に、先頭を示すフレームパルスFP及び固定ビットを含み、受信部3においてデータの識別が容易になるようなフォーマットを構成している。

#### 【 0 0 3 7 】

また、送信部1の固定遅延部14では、受信部3でのビットずれ検出の動作タイミングに合うように16パラレル出力データに対して所定のビット遅延を与えて受信部3へ送る。

受信部3では、クロック再生部31を構成するクロック再生部 $\text{DCR}_1 \sim \text{DCR}_{16}$ において、16パラレル信号のクロック再生を行うと共に、やはりクロック再生部35を構成するクロック再生部 $\text{DCR}_{\text{LT}}$ においてシリアルラッチコード信号のクロック再生を行ってそれぞれビット乗換部32へ送る。

#### 【 0 0 3 8 】

ビット乗換部32においては、再生したいいずれかのクロックを基準クロック（マスタクロック）として、図15(1)に示すスキュー状態の16パラレルデータ及びシリアルラッチコード信号に対して同図(2)に示すようにビット乗換を行うことで基準クロックを基準としたデータの並びに変換されることになる。

#### 【 0 0 3 9 】

このようにして、ビット乗換部32においてビット乗換された16パラレル信号及びシリアルラッチコード信号はビットずれ検出部33に送られる。

ビットずれ検出部33においては、図16(2)に示すように $W=3$ ビットのウィンド

ウ（監視範囲）を設定し、送信部1から送られて来たサンプリングされたラッチコードとの一致を図る。

#### 【 0 0 4 0 】

この場合のウィンドウは送信部1からのシリアルラッチコード信号のフレームパルスFPの位置に合わせて生成するが、実験等に基づくスキューの発生状況を考慮して前後に1ビット合計3ビット幅を有している。

このようなウィンドウにおいて、図5(5)と同様に図16(5)においても、同図(1)の16パラレルデータと同図(3)に示した16パラレル信号に展開されたラッチ信号とをコード照合し、それぞれのビットずれ量を検出する。

#### 【 0 0 4 1 】

すなわち、両者の比較において、一致したポイントにフラグを立て、この一致フラグを使用して16パラレル信号の各ビットずれ量を検出する。これは、フラグパターンが長期に渡って同じ位置に確定するまで監視を行う。

また、ビットずれ検出の確定には、前方及び後方保護を用いることが好ましい。

#### 【 0 0 4 2 】

このようにしてビットずれ量を検出できれば、ラッチ周期信号に対するビットずれ量が図16(5)に示すように計測できる。従って、このビットずれ量を可変遅延部34に与えることにより、図5(6)と同様に図16(6)においても本来の時間軸上のデータ列に揃え直した2. 5GHzの16パラレル信号を出力することが可能となる。

#### 【 0 0 4 3 】

次に、上記のビットずれ検出部33の実施例について図17及び図18を参照して詳細に説明する。なお、この実施例では、パラレル数 $N=2$ の信号線（伝送路）とし、ウィンドウ $W=3$ ビットとしている。

まず、このビットずれ検出部33は、大きく分けてコード照合部4とパターン照合部5と装置障害検出部6と立上り検出部7とずれ検出部8とで構成されている。

#### 【 0 0 4 4 】

この内、コード照合部4は2本のパラレル信号線の内的一方（1ビット目伝送デ

ータ) について、送信部1の固定遅延部14からの伝送データ(2パラレル信号)とラッチコード生成部13からのシリアルラッチデータを更にパラレル化したデータとを入力して一致検出を行うE-OR(排他的論理和)回路41と、後述するコード照合をウィンドウにおいて検出するためのAND回路42~47(AND回路42, 43は1ビット目ウィンドウ用; AND回路44, 45は2ビット目ウィンドウ用; AND回路46, 47は3ビット目ウィンドウ用)とで構成されており、他方の信号線(2ビット目伝送データ)についても同様の回路が用いられるが、簡略化のため図示されていない。

#### 【 0 0 4 5 】

また、パターン照合部5は、ライン同期確立検出51, 52と、AND回路53とインバータ54とレジスタ(J-Kフリップフロップ)55とマスク回路56とを含んでいる。

ライン同期確立検出回路51及び52はそれぞれ1本の信号線(ライン)に対応して設けられているものであり、内部構成は同一であるが、簡略化のためライン同期確立検出回路51のみについて示されている。

#### 【 0 0 4 6 】

すなわち、このライン同期確立検出回路51は、フラグ検出回路511~513と加算器514とレジスタ515とを含んでいる。AND回路42~47もライン同期確立検出回路51に含まれる。

フラグ検出回路511~513は、それぞれ3ビット幅のウィンドウにおける各ビットについて図5(5)及び図16(5)に示したようにフラグ検出するものであり、その内部構成は同一であるが、簡略化のためフラグ検出回路511のみ内部構成が示されている。

#### 【 0 0 4 7 】

すなわち、フラグ検出回路511は、フラグ検出に当たって3段構成の保護回路を構成しており、コード照合部4におけるAND回路43の出力信号を入力する縦続接続されたレジスタ(Dフリップフロップ)101, 102、及びAND回路43の出力信号とレジスタ101の出力信号とレジスタ102の出力信号とを入力して同期確立方向の3段保護判定を行うAND回路103とを含んでおり、さらに同期外れ方向に関しては、AND回路43の出力信号を反転するインバータ104と、AND回路42の出力信号を反転す

るインバータ45と、レジスタ101及び102の各反転出力信号を入力するとともに、インバータ104、105の出力信号を入力するAND回路106とを含んでいる。また、AND回路42及び43もフラグ検出回路511に含まれる。

## 【 0 0 4 8 】

AND回路103及び106の出力信号はそれぞれレジスタ（J-K フリップフロップ）107のJ端子及びK端子に入力されている。さらに、このレジスタ107の反転出力信号は後述する同期状態信号と共にAND回路108に入力されており、このAND回路108の出力信号はレジスタ101及び102のクリア端子Lに接続されている。

## 【 0 0 4 9 】

加算器514は、フラグ検出回路511～513の出力を入力して信号線毎のライン同期確立を判定するレジスタ515に接続されている。また、このレジスタ515は加算器514の二つの出力信号をそれぞれJ端子及びK端子に入力すると共にラッチ同期信号（図16（4）参照）をイネーブル信号（同期信号）としている。

## 【 0 0 5 0 】

ライン同期確立検出回路51及び52の各出力信号は全ビット同期検出用のAND回路53に入力され、このAND回路53の出力は同期状態信号を発生するためのレジスタ55のJ端子に入力されると共に、インバータ54を介して反転信号がK端子に入力されている。

## 【 0 0 5 1 】

このレジスタ55の出力信号（同期状態信号）は装置障害検出部6及び立上り検出部7に与えられると共に、パターン照合部5におけるマスク回路56に与えられている。

装置障害検出部6からは装置警報が発生され、立上り検出部7はAND回路53からの出力信号も同時に受けて立ち上がり検出を行い、その立上り検出信号をずれ検出部8における6個のレジスタのイネーブル信号としている。

## 【 0 0 5 2 】

このずれ検出部8は、フラグ検出回路511～513の各出力信号と、他方のライン同期確立検出回路52における同様のフラグ検出信号を合わせて6本の入力信号を入力し、立上り検出部7からの出力信号によって1本の信号線について3ビット分

のウィンドウ範囲、すなわち2本の信号線全体で6個分のビットずれ量を検出するものである。

## 【 0 0 5 3 】

このずれ検出部8のビットずれ量は前述したように可変遅延部34に送られると共に、パターン照合部5におけるマスク回路56にも送られている。このマスク回路56はずれ検出部8に対応して6個のインバータと6個のOR回路とで構成されており、各OR回路には、ずれ検出部8からのずれ量が入力されると共に、インバータにはレジスタ55の出力信号が与えられている。

## 【 0 0 5 4 】

そして、このマスク回路56の各OR回路の出力信号は、下側の3個分の出力信号がコード照合部4におけるAND回路42, 44, 46に送られ、1ビット目の平行信号に対する3ビットのウィンドウの各ビットとの論理積が取られてコード照合のマスクを行うようにしており、上側の3個のOR回路は2ビット目の平行信号に対するコード照合のマスクを行うようになっている。

## 【 0 0 5 5 】

次に、このような構成を有するビットずれ検出部33の動作を図18のタイムチャートを参照して以下に説明する。

まず、入力された平行信号は、各信号線毎にコード照合部4においてコード照合を行う。上記の通り信号線（伝送路）毎にウィンドウが3ビット幅を有しており（図18(1)参照）、ウィンドウ内のどのビットで平行信号とラッチコード信号（図5及び図16参照）が一致しているかを調べるため、一本の信号線（ライン）につきウィンドウ3ビット分のコード照合を行う。

## 【 0 0 5 6 】

すなわち、コード照合部4におけるE-OR回路41では、1ビット目の平行信号（同図(2)の1ビット目の伝送データ）と1ビット目のラッチコード信号（同図(3)参照）との一致検出（フラグ検出）を3ビットのウィンドウ幅において行った結果が同図(4)に示されている。

## 【 0 0 5 7 】

同様に、同図(5)は2ビット目の平行信号（同図(2)参照）について3ビッ

トのウィンドウ幅において図示しないE-OR回路によってラッチコード信号（同図（3）参照）との一致フラグ検出を行った状態が示されている。

その結果、同図（4）及び（5）に示す如く、2本の信号線全体で6箇所のコード照合が行われることとなり、パラレル信号とラッチコード信号とが一致した場合には、一致フラグが立つことになる。このようにして、各信号線毎にウィンドウ内のどのビットでパラレル信号とラッチコード信号とが一致しているか否かを認識することができる。

#### 【 0 0 5 8 】

なお、現在の状態では、マスク回路56からのマスク信号はAND回路42, 44, 46に対してそれぞれイネーブル信号になっており、3ビットのウィンドウ信号はそのままAND回路43, 45, 47に送られるようになっている。

このようにして、AND回路43, 45, 47からの出力信号はそれぞれフラグ検出回路511, 512, 513に送られ、ここで3段保護がとられる。これは、ライン同期確立検出回路52においても同様である。

#### 【 0 0 5 9 】

すなわち、フラグ検出回路511の場合には、レジスタ101, 102及びAND回路103並びにレジスタ107を経由することにより、ラッチ同期信号（同図（6）参照）のタイミングで同図（7）に示すようにパラレル信号の1ビット目について各ウィンドウビットの保護段がとられた状態が示されている。図示の例では、パラレル信号の1ビット目に関してのみ3段の保護がとられた状態①が右端に示されている。

#### 【 0 0 6 0 】

また、同図（8）に示すようにパラレル信号の2ビット目については、ウィンドウの1ビット目と3ビット目において3段の保護が確立した状態②が示されている。

このような同期確立方向の3段保護はレジスタ101, 102とAND回路103とレジスタ107とで行われる。

#### 【 0 0 6 1 】

ここで、ウィンドウ外を認識するパルス（図示の例ではウィンドウの次のビット位置）を用いて、3段保護が成立している状態の個数、即ち複数箇所同期が確立していないか否かをチェックする。

これは、例えば、同図(8)における状態②に示す如く、パラレル信号がウィンドウ内3ビット中“101”というパターンであり、且つこれと比較照合されるラッチコード信号が“1”であった場合、ラッチコード信号と一致する箇所が2箇所存在し、その結果、ウィンドウ中の複数ビットで同時に3段保護が成立してしまうことがあるためである。

## 【 0 0 6 2 】

従って、加算器514及びレジスタ515により、同図(8)に示したような複数箇所で保護が確立した状態②を検出し、未だ特定の“ずれ”が確立していない(複数ビットで同期が検出されているので、ずれ量が特定できない。)ということで、3段保護成立の状態を1本の信号線につき1個に絞り込むまで保護を取り続ける。この場合、加算器514は“1”が単数の場合、“=1”の出力をレジスタ515のJ端子に与え、ゼロ又は複数の場合は“=0”の出力をレジスタ515のK端子に与える。

## 【 0 0 6 3 】

その結果、同図(9)に示す場合は、同図(7)の状態③において3段保護が1つだけしか成立していないので同期確立となり、同期確立信号がライン同期確立検出回路51からAND回路53に送られる。

同図(10)に示す場合には、同図(8)のパラレル信号の2ビット目に関してウィンドウ3ビット目が保護段“0”になった状態④で3段保護が1つだけ成立したことを示しているので、状態⑤として示すように同期確立信号がライン同期確立検出回路52からAND回路53に送られ、ライン同期確立検出回路51のレジスタ515からの同期確立信号とともに論理積がとられる。

## 【 0 0 6 4 】

この結果、同図(11)に示すように、パラレル信号の1ビット目及び2ビット目が共に同期確立状態である場合⑥にのみパラレル信号の同期が確立したものとしてレジスタ55から同期状態信号が出力されることとなる。すなわち、1信号線につき一箇所だけ3段保護が成立した場合、その信号線に関しては同期確立となり、すべての信号線で同期が成立した場合、はじめてパラレル信号としての同期が確立することになる。

## 【 0 0 6 5 】

このように伝送データとして同期が確立した場合、各信号線毎にビット遅延量がどれだけあるかを認識するため、ビットずれ量を抽出する。

このため、立上り検出部7はレジスタ55の出力信号とAND回路53の出力信号とにより同期確立時の立上り検出を行い、このタイミングで、フラグ検出回路511～513の各出力信号並びにライン同期確立検出回路52における図示しないフラグ検出回路の出力信号を、それぞれ、ずれ検出部8を構成する6個のレジスタのD端子に入力する。

#### 【 0 0 6 6 】

この場合、立上り検出部7からの立上り検出信号がウィンドウ内のどの位置で同期が確立したかを示しているので、ずれ検出部8を構成する6個のレジスタから出力される信号は、ウィンドウ内のどのビットで同期がとれたか、すなわち“ビットずれ量”を示していることになり、このビットずれ量が可変遅延部34に出力されることになる。

#### 【 0 0 6 7 】

このようにしてビットずれ量が求められることになるが、パラレル信号として同期が確立している間は、コード照合部4においてウィンドウ幅中の同期確立時のビットでのみパラレル信号とラッチコード信号との一致/不一致の監視をすればよいので、マスク回路56において、ずれ検出部8の各出力信号とレジスタ55からの同期状態信号をインバータで反転させた信号とをOR回路で論理和をとることにより、OR回路からコード照合マスク信号が、AND回路42, 44, 46及び図示しないAND回路（合計6個のAND回路）に与えられ、このマスク信号とウィンドウとの論理積を取り、以て同期が確立していないビットではコード照合を行わないようにしている。

#### 【 0 0 6 8 】

また、レジスタ55からの同期状態信号と各信号線毎に3個ずつある信号線毎のフラグ検出用レジスタ（フラグ検出回路511の場合にはレジスタ107）により強制ロード信号を生成する。

すなわち、パラレル信号として同期が確立している場合、各信号線毎の同期を認識するレジスタは、各信号線でどれか1個だけが同期状態を示している筈であ

るので、レジスタ107の例で言えば、その反転信号とレジスタ55からの同期状態信号とをAND回路108を経由してレジスタ101及び102のクリア端子Lに与えることにより、2つのレジスタ101及び102をクリアすることができる。

## 【 0 0 6 9 】

これは、パラレル信号としての同期が外れ、再度ウィンドウ内の全てのビットを監視し始めた時、前状態(前にパラレル信号としての同期が確立した時の状態)を3段保護検出時に認識させないため、すなわち同期誤り防止を図るためである。

## 【 0 0 7 0 】

上記の保護は同期確立方向における3段保護を取り扱っているが、同期が外れる方向に対しては、フラグ検出検出回路511の例では、レジスタ101, 102とインバータ104, 105とAND回路106とで実行される。

すなわち、パラレル信号中の1信号線でもフラグが3ビット分連続して立たなかった場合、信号線毎に同期を認識する3個のレジスタ(レジスタ107他)中、唯一同期状態となっていたレジスタが同期外れ状態となってしまうため、加算器514の加算結果が“=1”から“=0”に変化してしまう。

## 【 0 0 7 1 】

これにより、レジスタ515は出力が反転することとなり、AND回路53の出力も“0”となるので、レジスタ55からの同期状態信号は同期外れ状態を示すこととなる。

このように同期外れ状態となると、マスク回路56は内部のインバータを介して反転された“1”の信号がOR回路に与えられるため、ずれ検出部8からのずれ量の如何に問わず、信号線毎にウィンドウ内の全てのビットがコード照合の監視対象となり上記のように全6箇所それぞれコード照合が行われることになる。

## 【 0 0 7 2 】

また、レジスタ55からの同期状態信号を用いて装置障害検出部6は装置障害の有無を監視している。例えば、パラレル信号としての同期が2msの間経過しても確立しない場合は、パラレル信号に異常があるものと判定し、アラームを発生する。

## 【 0 0 7 3 】

この警報信号を受けた場合、例えばCPU(図示せず)ではどの信号線で同期が確立していないのか調べるため、各信号線毎の同期を認識するレジスタ107などの状態を抽出することになる。この警報信号はパラレル信号の同期が確立した時、解除されることになる。

## (付記 1)

送信部でシリアル信号をパラレル信号に変換してから受信部に伝送するパラレル信号伝送装置において、

該送信部が、該パラレル信号とは別に該パラレル信号を周期的にラッチするラッチ部と、該ラッチ部でラッチした信号から、同期信号を含むシリアルラッチコード信号を生成するラッチコード信号生成部と、該パラレル信号を所定時間遅延させて該シリアルラッチコード信号に対する該パラレル信号の位相調整を行うための固定遅延部とを備え、

該受信部が、該パラレル信号及びシリアルラッチコード信号のクロック再生部と、該クロック再生部によって再生されたクロックに基づいて該パラレル信号及びシリアルラッチコード信号のビット乗換を行うビット乗換部と、該シリアルラッチコード信号に基づいて該ビット乗換部から出力されたパラレル信号のビットずれ量を検出するビットずれ検出部と、該ビットずれ量に従って該ビット乗換部から出力されたパラレル信号のスキュー調整を行う可変遅延部とを備えたことを特徴とするパラレル信号伝送装置。

## (付記 2) 付記 1 において、

該送信部が、さらに、該パラレル信号にスクランブル処理を施してから該ラッチ部及び該固定遅延部に与えるスクランブル処理部を備え、該受信部が、さらに、該可変遅延部から出力されたパラレル信号に対してデスクランブル処理を施すデスクランブル処理部を備えたことを特徴とするパラレル信号伝送装置。

## (付記 3) 付記 2 において、

該ラッチ部が、該パラレル信号をラッチしたタイミングで該スクランブル処理部をリセットし、該ビットずれ検出部が、該可変遅延部に対してスキュー調整したタイミングで該デスクランブル処理部をリセットすることを特徴としたパラレ

ル信号伝送装置。

(付記 4) 付記 1 から 3 のいずれかにおいて、

該パラレル信号のパラレル数が素数であることを特徴としたパラレル信号伝送装置。

(付記 5) 付記 1 から 4 のいずれかにおいて、

該パラレル信号のパラレル数と該ラッチ部がラッチするサンプリング間隔のビット数とが互いに素の関係にあることを特徴としたパラレル信号伝送装置。

(付記 6) 付記 1 から 5 のいずれかにおいて、

該ビットずれ検出部が、該シリアルラッチコード信号をパラレル化した状態で該ビット乗換部から出力されたパラレル信号とコード照合することにより該パラレル信号の該同期信号に対する該ビットずれ量を検出する手段を有することを特徴としたパラレル信号伝送装置。

(付記 7) 付記 6 において、

該ビットずれ検出部が、該コード照合を、該同期信号を基準とした所定ビット数のウィンドウを用いて行う手段を有し、該固定遅延部による該所定遅延時間が該ウィンドウに対する位相調整時間であることを特徴としたパラレル信号伝送装置。

(付記 8) 付記 1 から 7 のいずれかにおいて、

該ビットずれ検出部が、各パラレル信号に対する該ビットずれ量の検出を、所定段数の前方及び後方保護手段により行うことを特徴としたパラレル信号伝送装置。

(付記 9) 付記 8 において、

該ビットずれ検出部は、該保護手段の内のいずれか 1 つで成立したときのみ該ビットずれ量が検出された同期確立状態であると判定する手段を有することを特徴としたパラレル信号伝送装置。

(付記 10) 付記 9 において、

該ビットずれ検出部は、該同期確立状態の時、該同期信号のタイミング以外のコード照合を禁止する手段を有することを特徴としたパラレル信号伝送装置。

(付記 11) 付記 9 又は 10 において、

該ビットずれ検出部は、該同期確立状態でないとき、対応するパラレル信号の該保護手段をクリアする手段を有することを特徴としたパラレル信号伝送装置。

(付記 1 2) 付記 1 から 1 1 のいずれかにおいて、

該ビットずれ検出部は、該同期確立状態が所定時間得られないとき、警報を発する手段を有することを特徴としたパラレル信号伝送装置。

【 0 0 7 4 】

【発明の効果】

以上説明したように本発明に係るパラレル信号伝送装置によれば、送信部で、パラレル信号とは別に該パラレル信号を周期的にラッチした信号からシリアルラッチコード信号を生成し、該パラレル信号を所定時間遅延させて該シリアルラッチコード信号に対する該パラレル信号の位相調整を行って受信部に送ると共に、受信部が再生クロックに基づいて該送信部からのパラレル信号のビット乗換を行い、該シリアルラッチコード信号に基づいてビット乗換が行われたパラレル信号のビットずれ量を検出し、このビットずれ量に従ってビット乗換したパラレル信号のスキュー調整を行うように構成したので、超高速/大容量の信号伝送においても伝送路で発生するスキューに対し柔軟にスキュー調整を行うことが可能となる。

【 0 0 7 5 】

また、送信部でスクランブル処理を施したデータに対して受信部でデスクランブル処理を施すことにより、クロック再生機能が安定化し、且つ性能が向上することになる。

さらにはスクランブル処理を施した後、スクランブル処理動作をリセットし、受信部においてもビットずれ量の検出タイミングでデスクランブル処理を行った後にリセットを掛けるように構成すれば、伝送路中でデータが誤っても波及することが抑制されるという効果が得られる。

【 0 0 7 6 】

さらに本発明では、パラレル数を素数で構成し、或いはパラレル数とラッチサンプリング間隔のビット数とを素の関係に設定することにより、周期的な固定パターンデータを回避することができ、以ってクロック再生機能の動作の安定化及

び性能の向上に寄与することが可能となる。

【図面の簡単な説明】

【図 1】

本発明(1)に係るパラレル信号伝送装置の原理構成を示したブロック図である。

【図 2】

図 1 における送信部の直並列変換動作を示したタイムチャート図である。

【図 3】

図 1 に示した送信部のラッチコード生成動作を示したタイムチャート図である。

【図 4】

図 1 に示した受信部におけるビット変換動作のタイムチャート図である。

【図 5】

図 1 に示した受信部におけるスキュー調整動作を示したタイムチャート図である。

【図 6】

本発明(2)に係るパラレル信号伝送装置の原理構成を示したブロック図である。

【図 7】

図 6 に示した本発明(2)の動作例を示したタイムチャート図である。

【図 8】

本発明(3)に係るパラレル信号伝送装置の原理構成を示したブロック図である。

【図 9】

図 8 に示した本発明(3)の動作例を示したタイムチャート図である。

【図 1 0】

本発明(4)に係るパラレル信号伝送装置の動作例を示したタイムチャート図である。

【図 1 1】

本発明(5)に係るパラレル信号伝送装置の動作例を示したタイムチャート図である。

【図 1 2】

本発明(1)の実施例を示したブロック図である。

【図 1 3】

図12に示した送信部における直並列変換動作を示したタイムチャート図である。

【図 1 4】

図12に示した送信部におけるラッチコード生成動作を示したタイムチャート図である。

【図 1 5】

図12に示した受信部におけるビット変換動作を示したタイムチャート図である。

【図 1 6】

図12に示した受信部におけるスキュー調整動作を示したタイムチャート図である。

【図 1 7】

本発明で用いられるビットずれ検出部の実施例を示したブロック図である。

【図 1 8】

図17に示したビットずれ検出部の動作タイムチャート図である。

【符号の説明】

- 1 送信部
- 2 伝送路
- 3 受信部
- 4 コード照合部
- 5 パターン照合部
- 6 装置障害検出部
- 7 立上り検出部
- 8 ずれ検出部

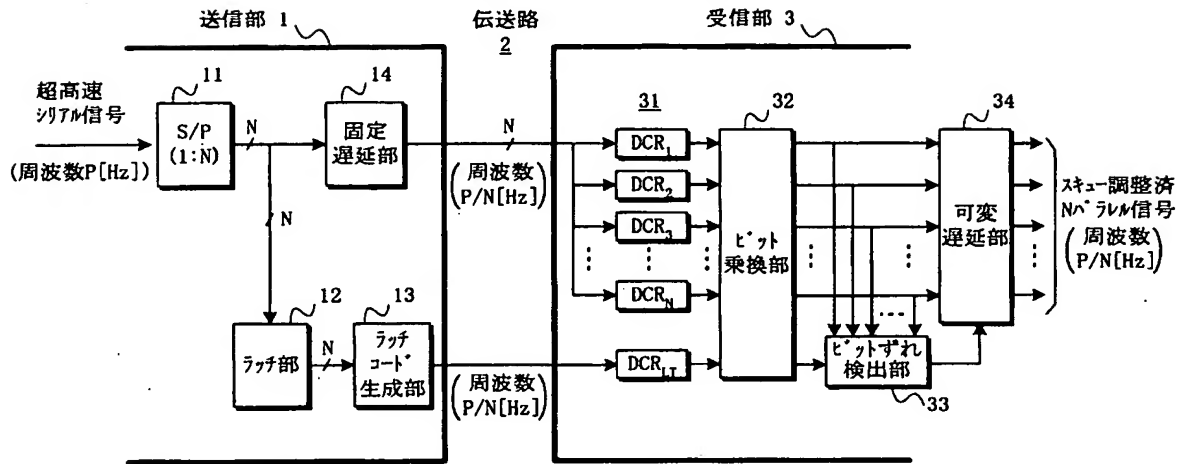
- 11 直並列変換部
- 12 ラッチ部
- 13 ラッチコード生成部
- 14 固定遅延部
- 15 スクランブル処理部
- 31 クロック再生部 ( $DCR_1 \sim DCR_N$ ,  $DCT_{LT}$ )
- 32 ビット乗換部
- 33 ビットずれ検出部
- 34 可変遅延部
- 35 デスクランブル処理部 ( $DSR_1 \sim DSR_N$ )
- 41 E-OR(排他的論理和)回路
- 42~47, 103, 106, 108, 53 AND回路
- 51, 52 ライン同期確立検出回路
- 54, 104, 105 インバータ
- 56 マスク回路
- 101, 102, 107, 515 レジスタ
- 511, 512, 513 フラグ検出回路
- 514 加算器

図中、同一符号は同一又は相当部分を示す。

【書類名】 図面

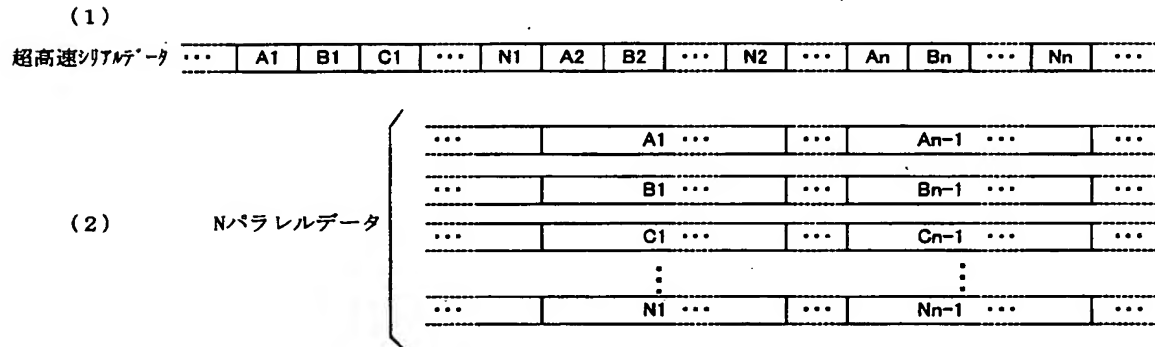
【図 1】

本発明(1)の原理構成図



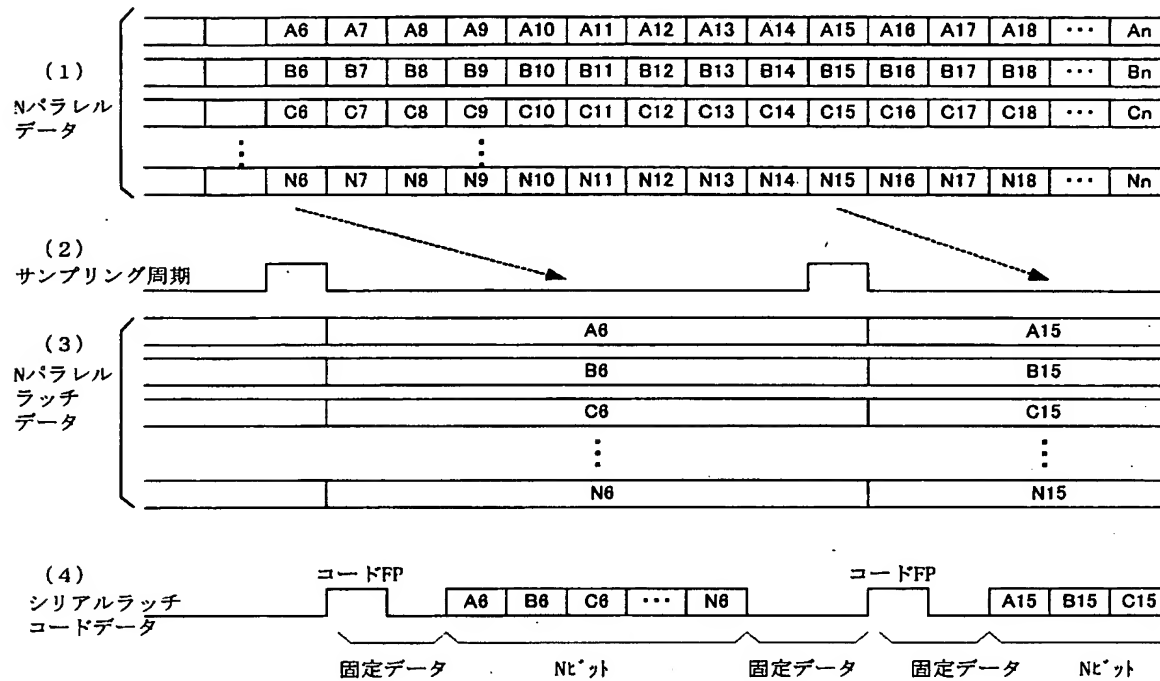
【図 2】

送信部のS/Pタイムチャート



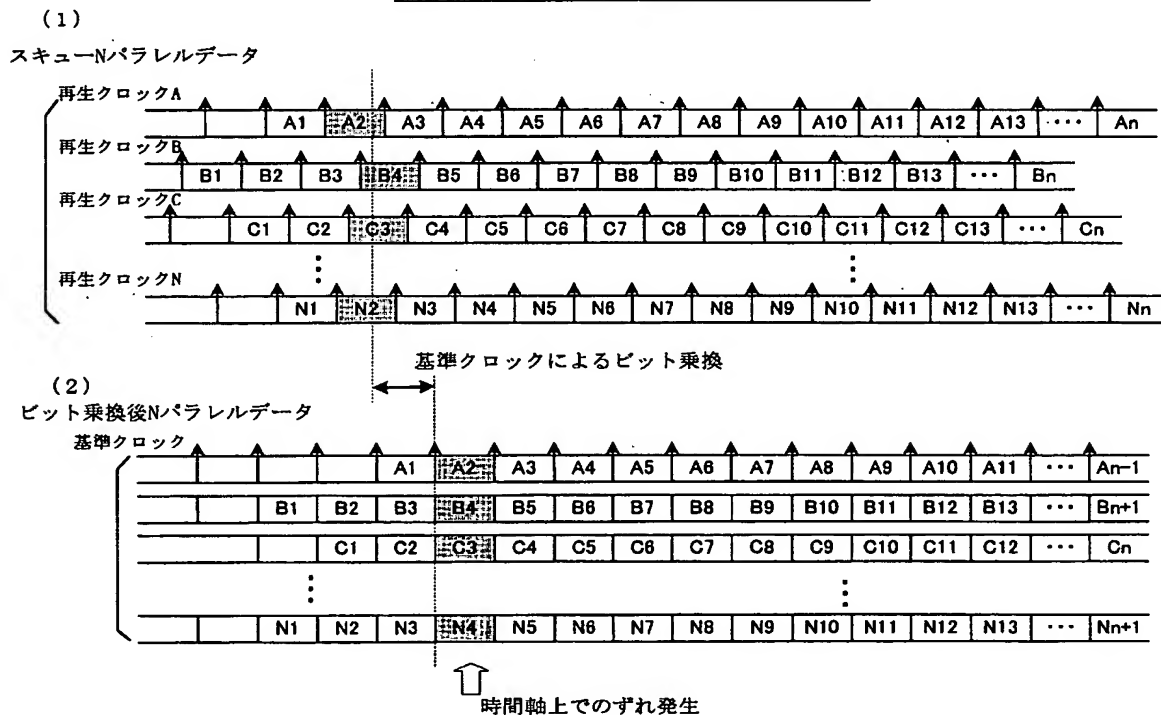
【図 3】

送信部のラッチコード生成タイムチャート



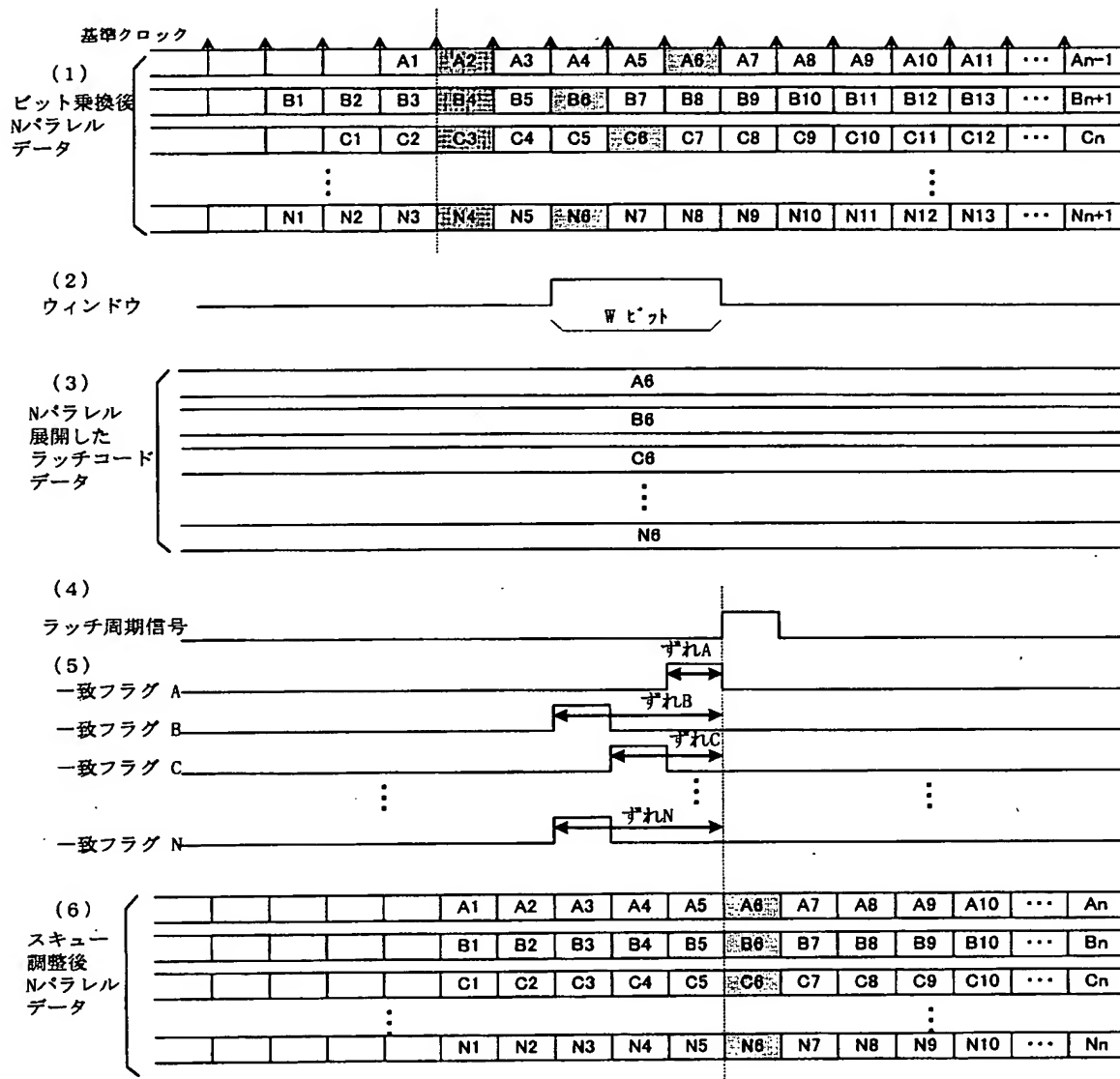
【図 4】

受信部のビット乗換タイムチャート

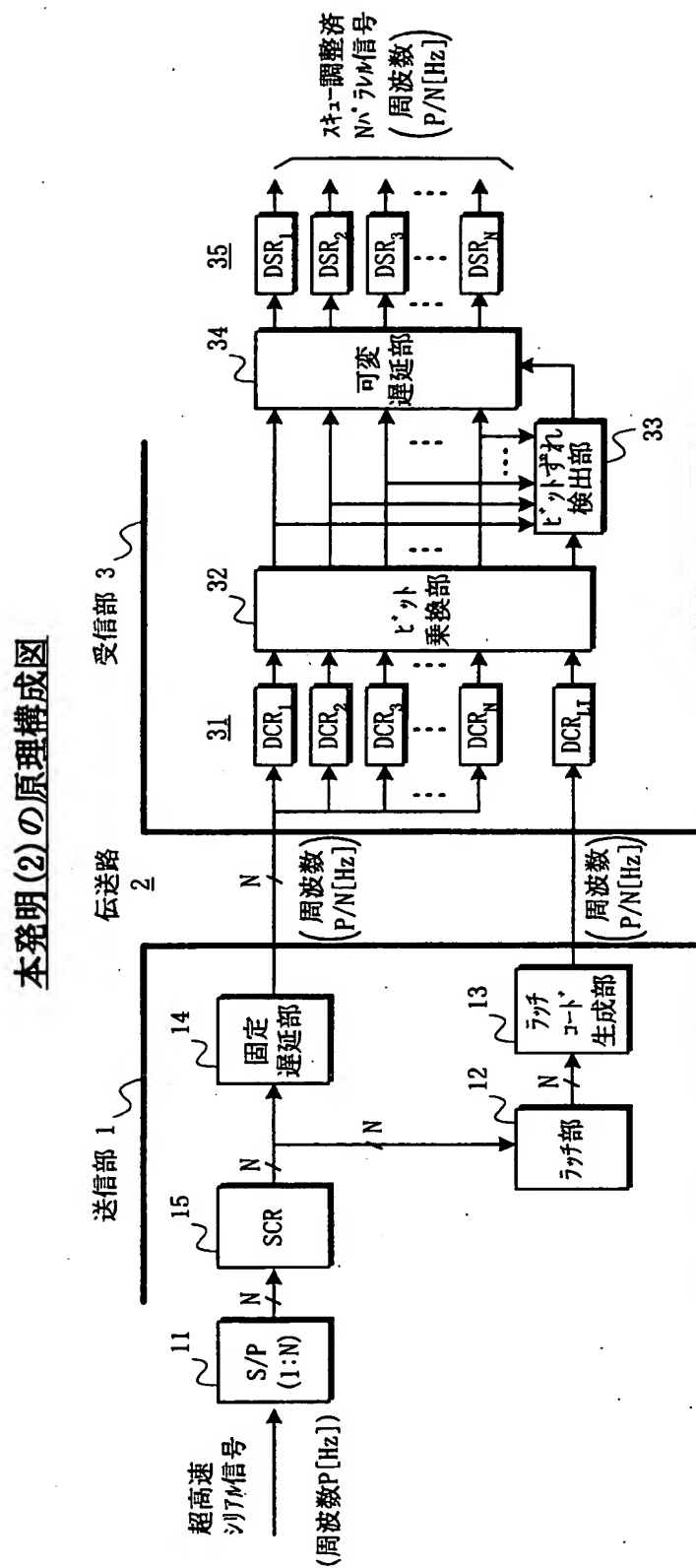


【図 5】

### 受信部のスキュー合わせタイムチャート

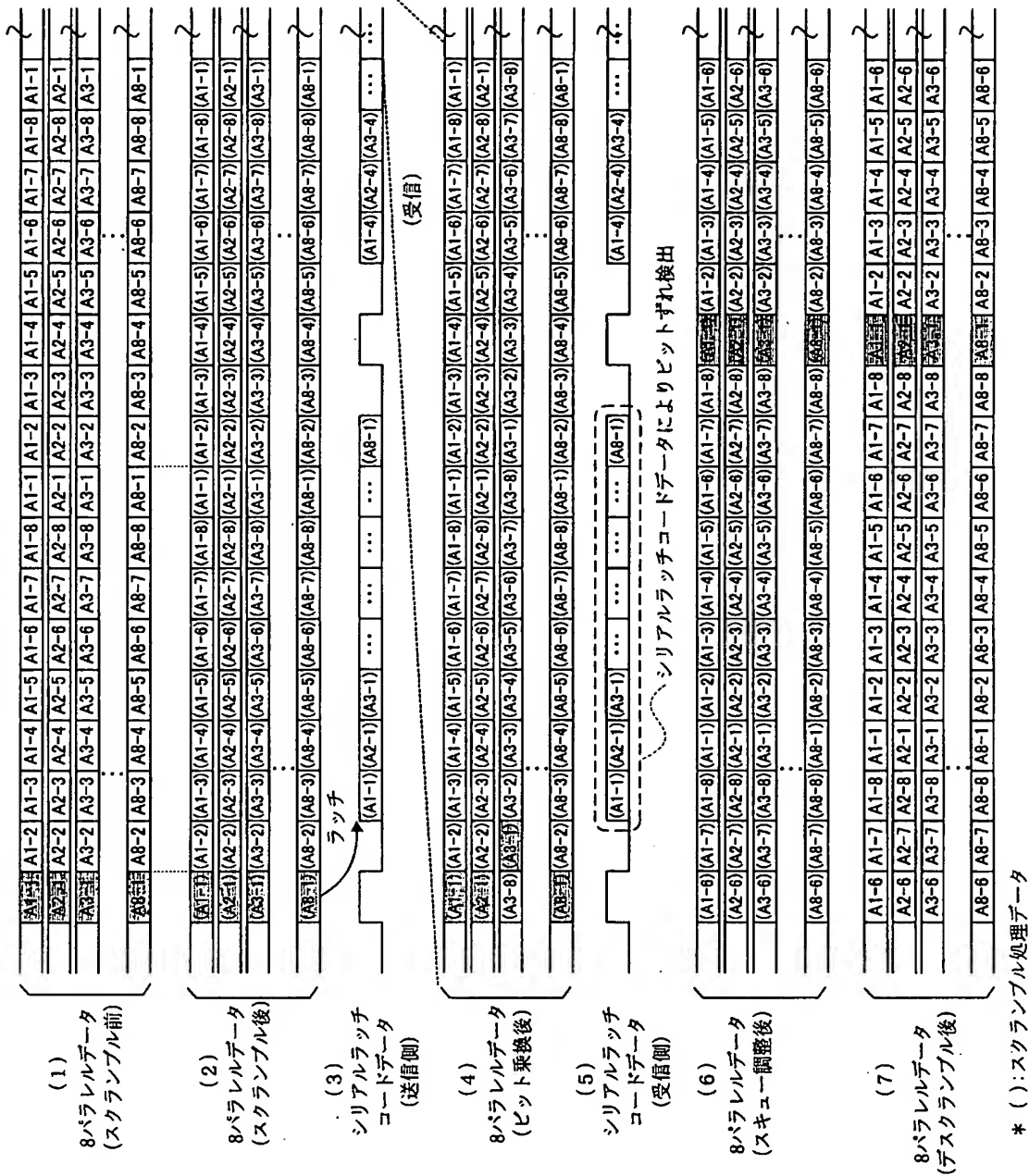


【図 6】



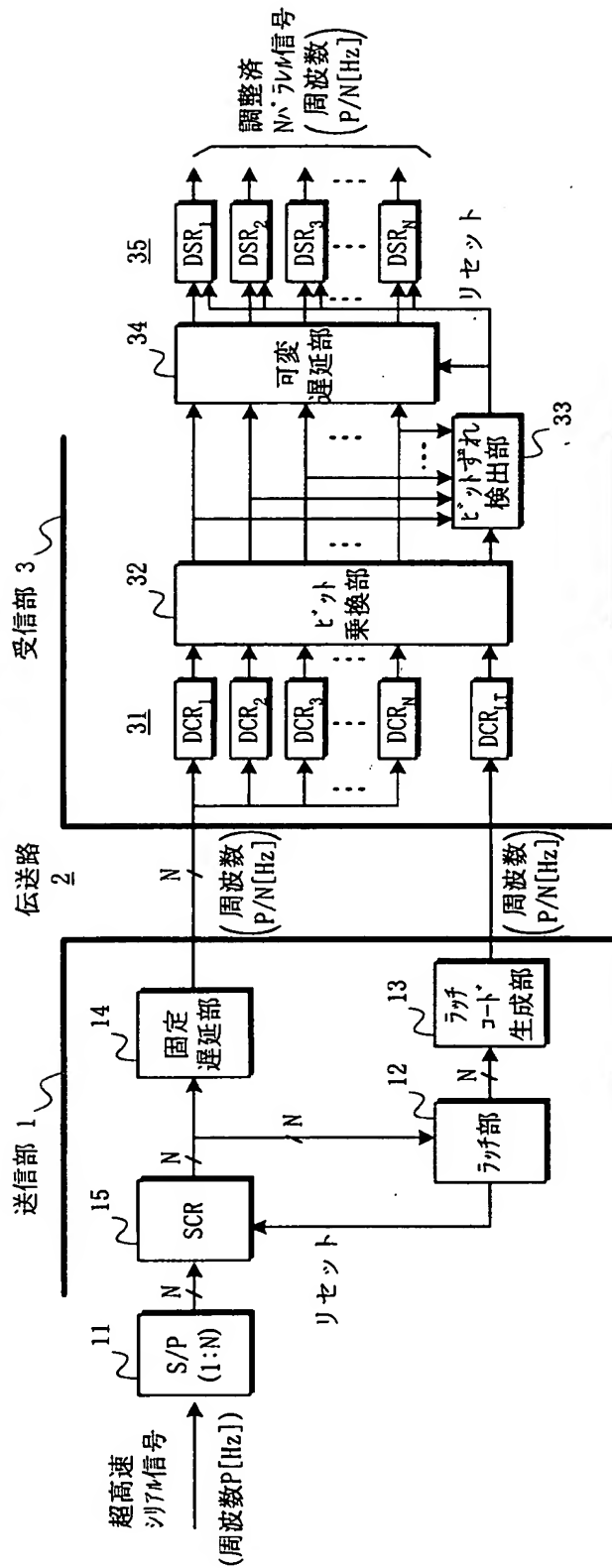
【図 7】

本発明(2)の動作タイムチャート



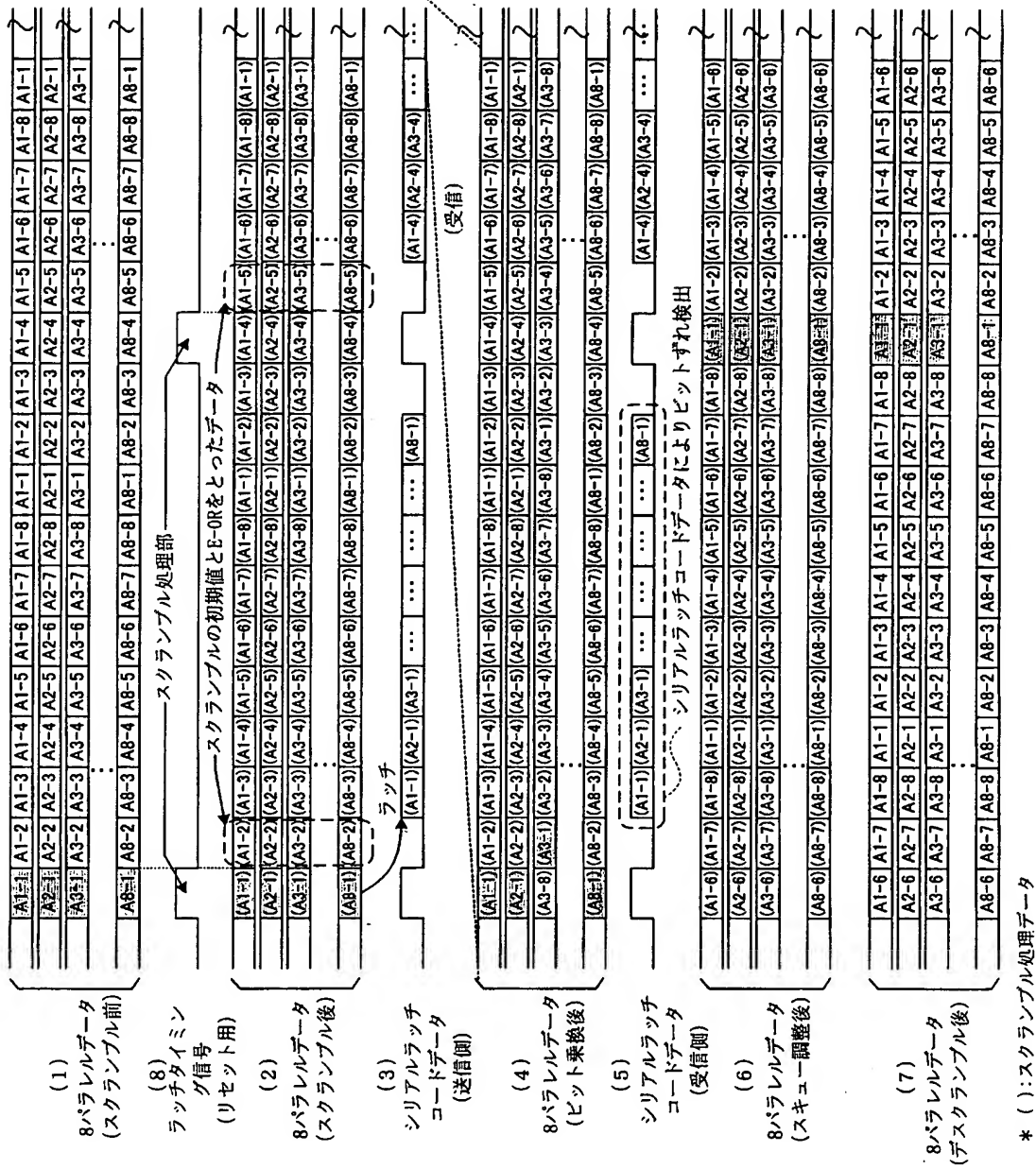
【図 8】

本発明(3)の原理構成図



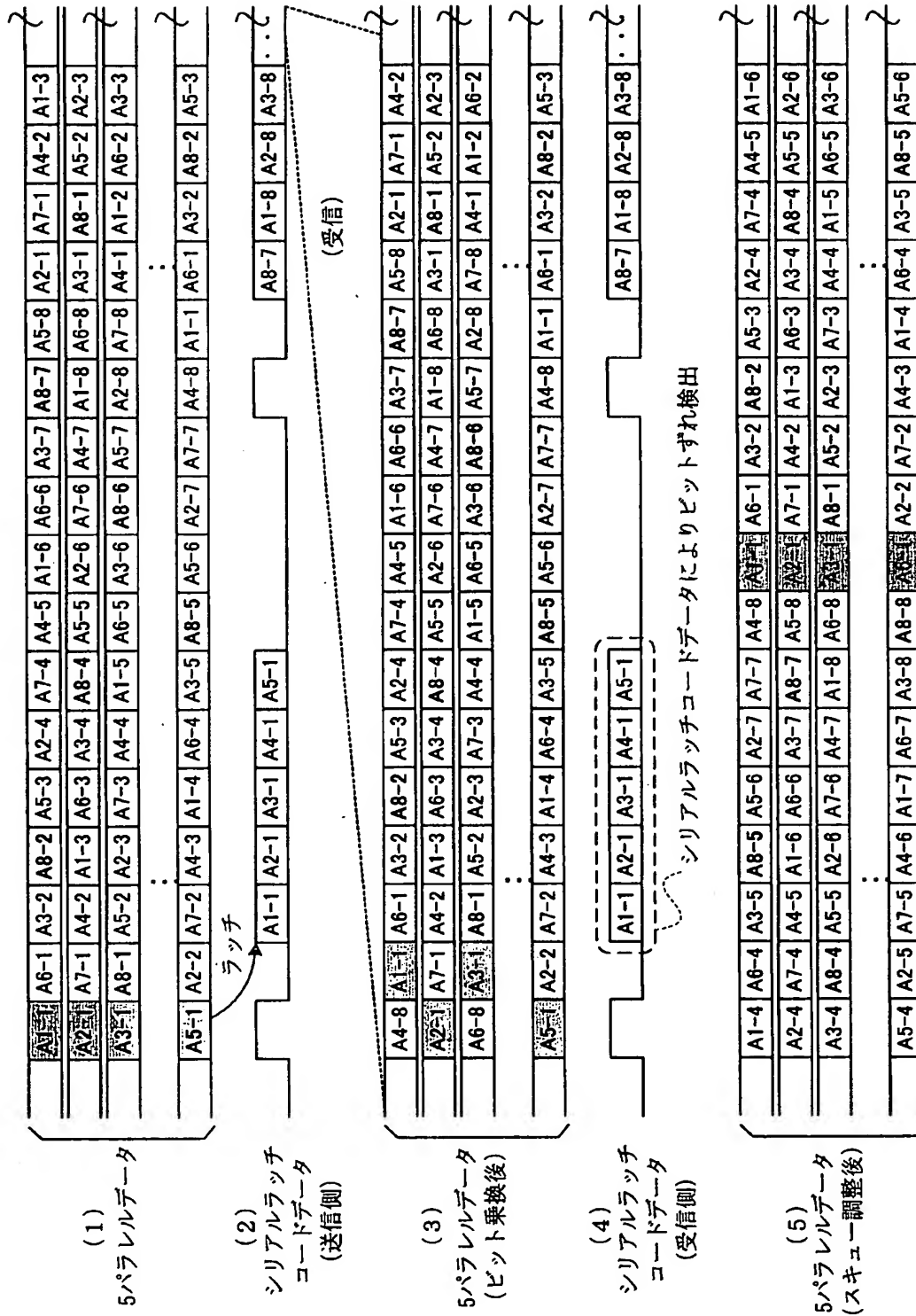
【図 9】

本発明(3)の動作タイムチャート



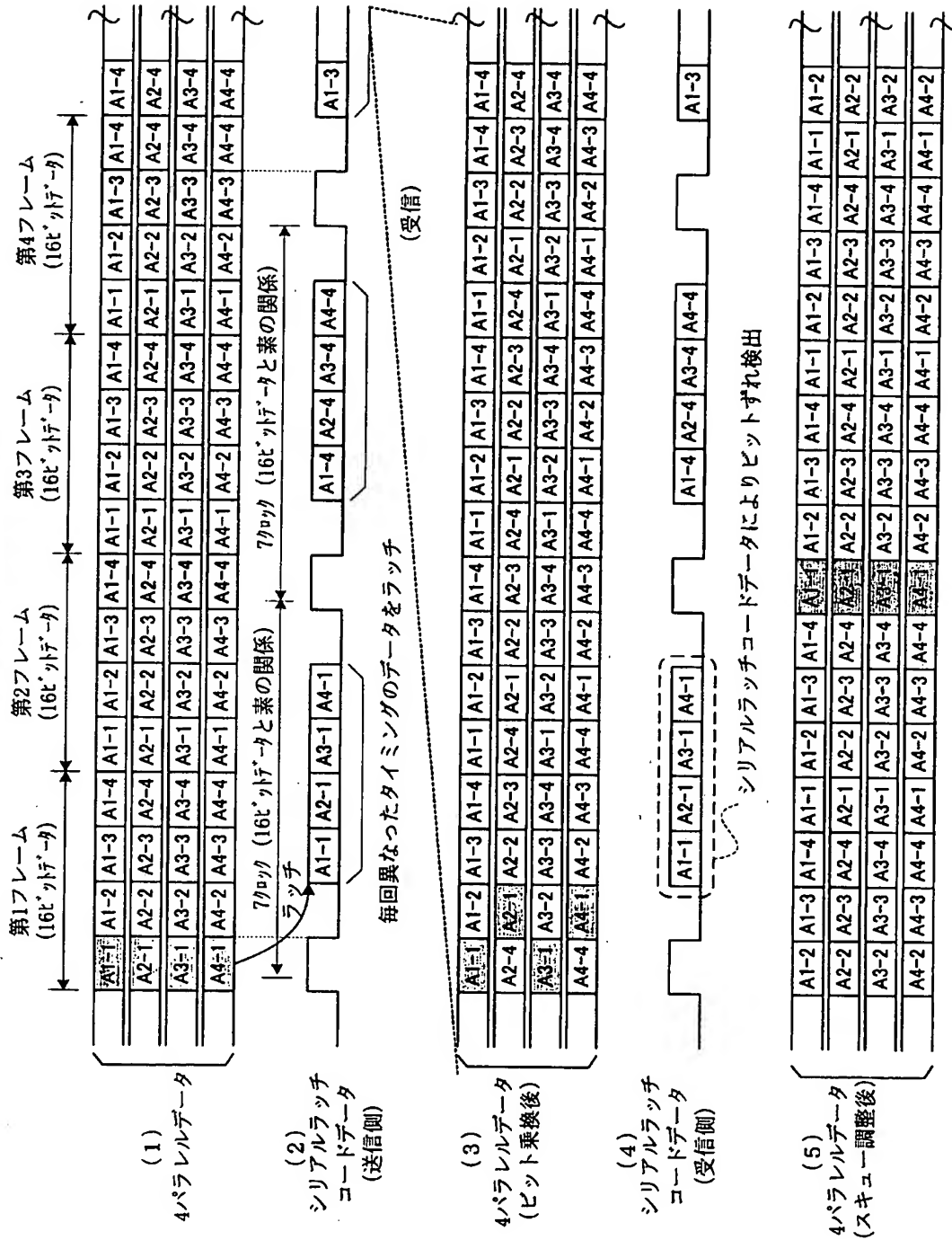
【図 10】

本発明(4)の動作例

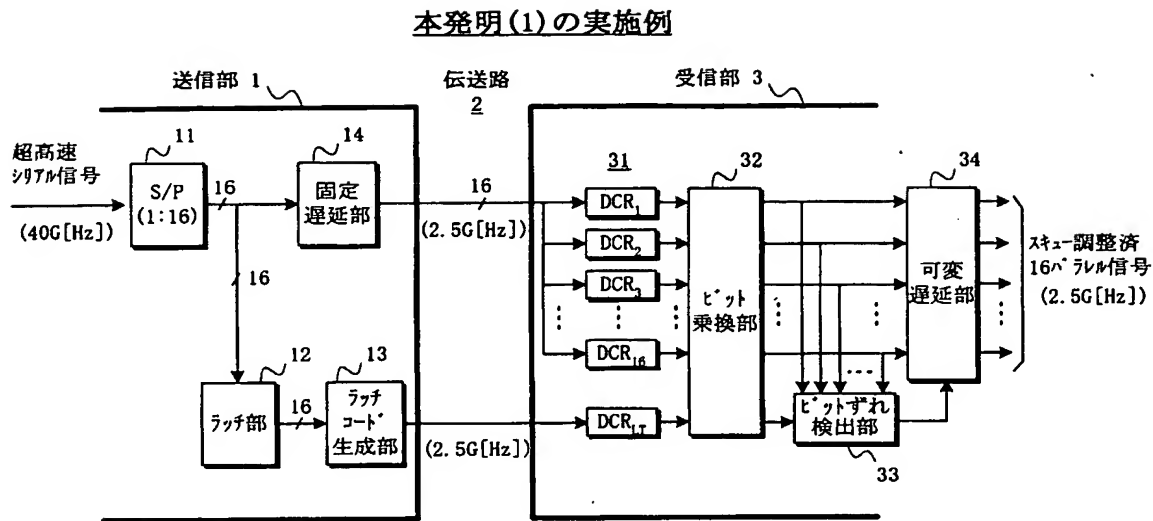


【図 11】

本発明(5)の動作例



【図 1 2】



【図 1 3】

**送信部のS/Pタイムチャート実施例**

(1)  
シリアルデータ (40G[Hz])

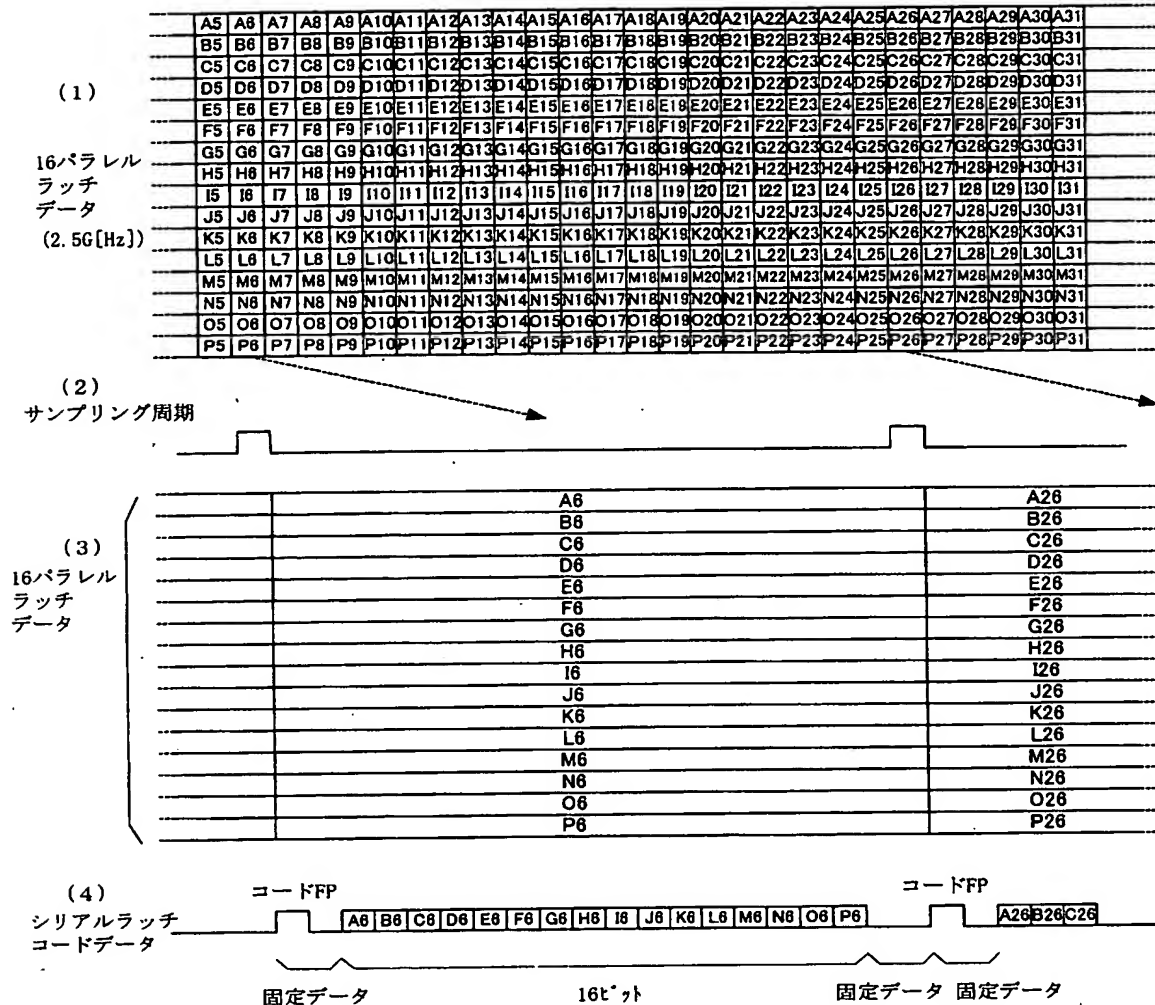
|  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|--|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
|  | A1 | B1 | C1 | D1 | E1 | F1 | G1 | H1 | I1 | J1 | K1 | L1 | M1 | N1 | O1 | P1 | A2 | B2 | C2 | D2 | E2 | F2 | G2 | H2 | I2 | J2 | K2 | L2 | M2 | N2 | O2 | P2 | A3 | B3 | C3 | D3 | E3 | F3 | G3 | H3 |
|--|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|

(2)  
16パラレルデータ  
(2.5G[Hz])

|  |    |  |
|--|----|--|
|  | A1 |  |
|  | B1 |  |
|  | C1 |  |
|  | D1 |  |
|  | E1 |  |
|  | F1 |  |
|  | G1 |  |
|  | H1 |  |
|  | I1 |  |
|  | J1 |  |
|  | K1 |  |
|  | L1 |  |
|  | M1 |  |
|  | N1 |  |
|  | O1 |  |
|  | P1 |  |

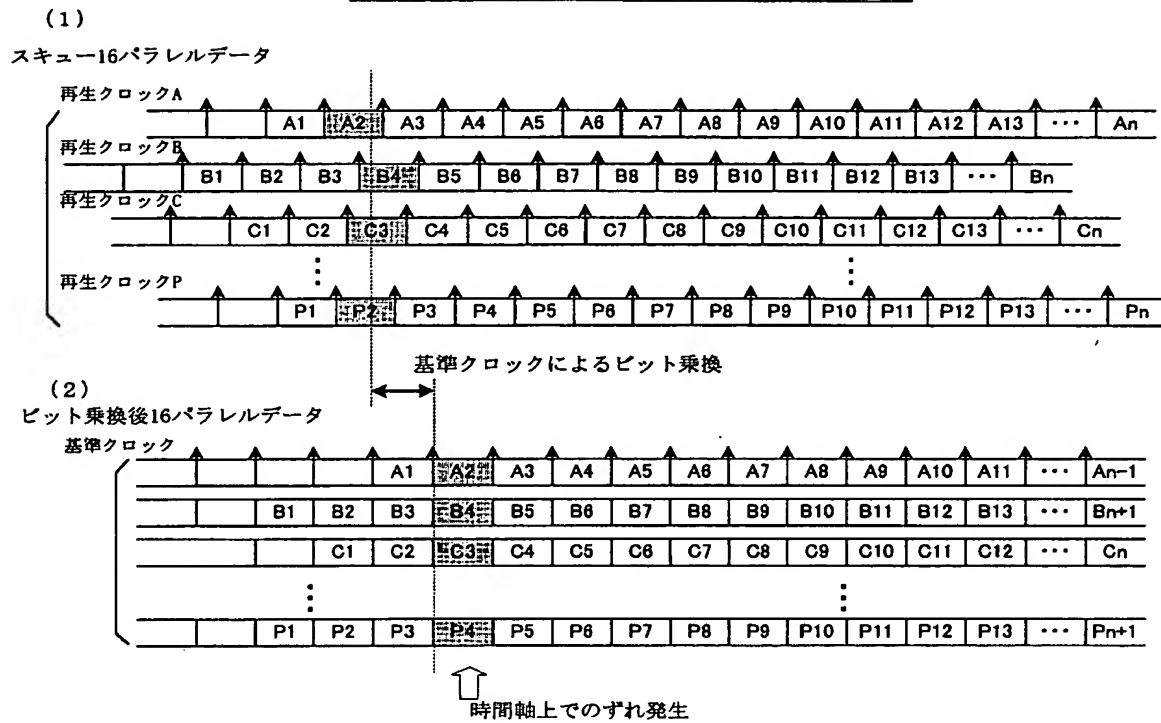
【図 14】

送信部のラッチコード生成タイムチャート実施例



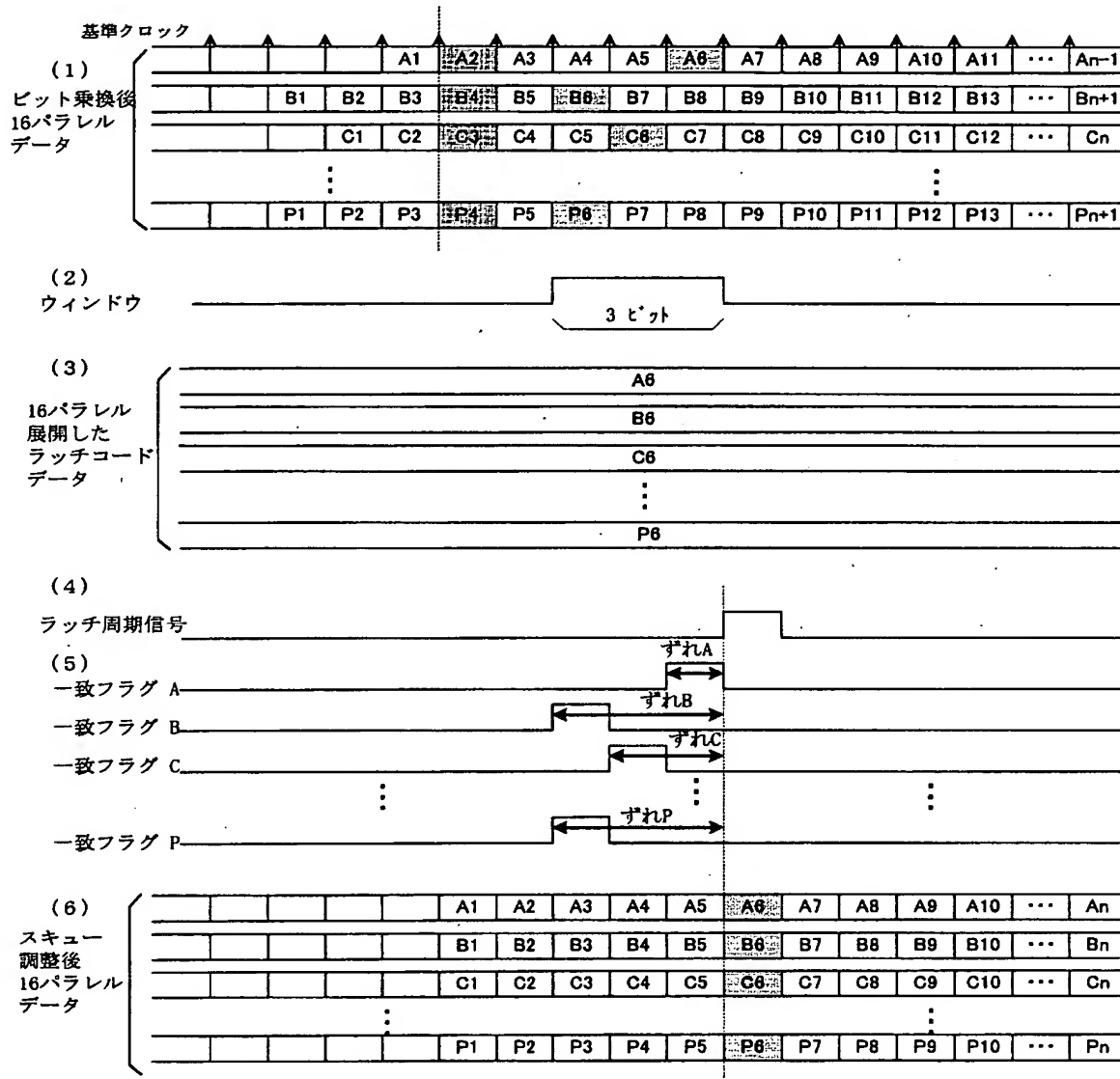
【図 15】

受信部のビット乗換タイムチャート実施例



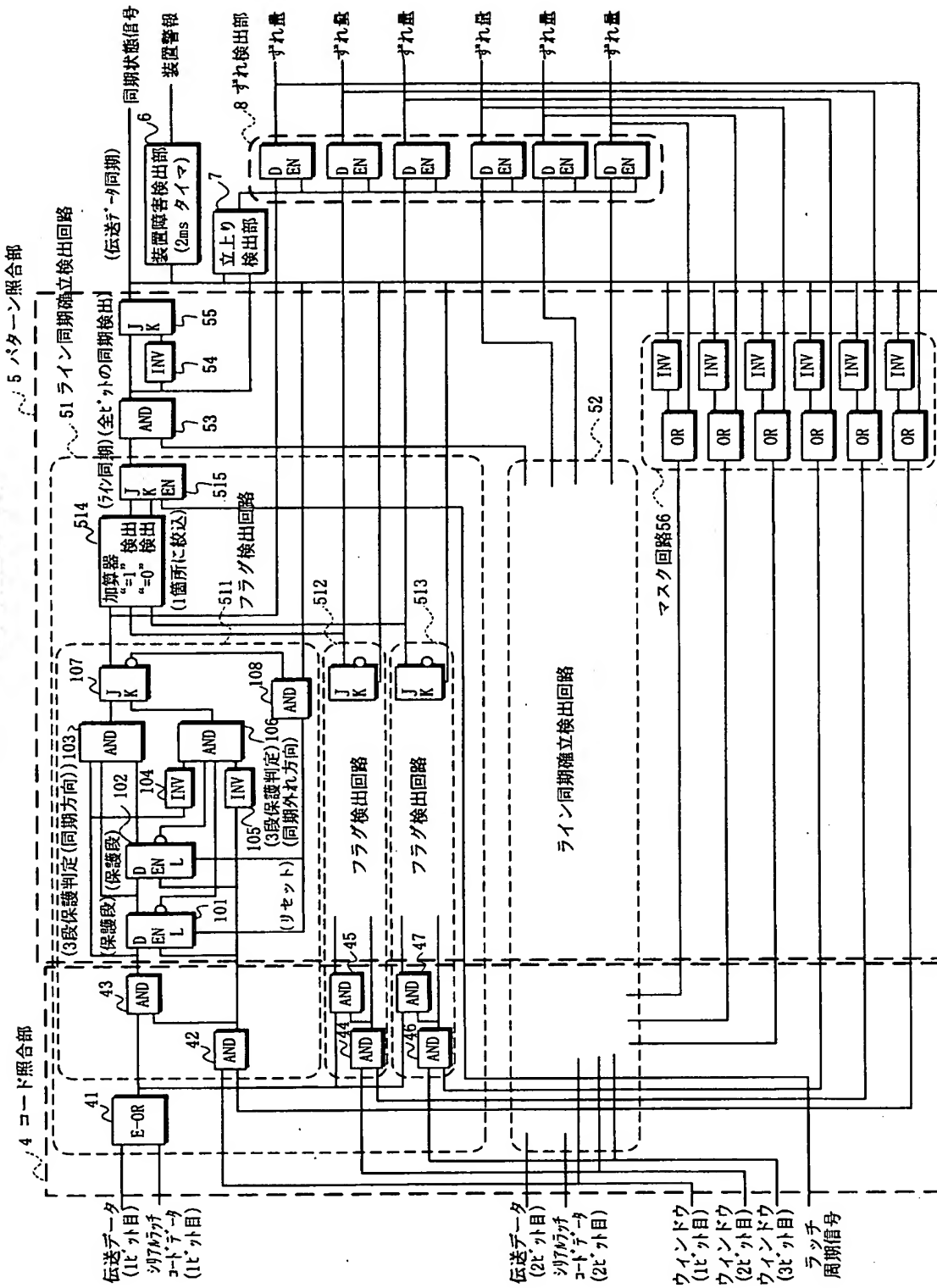
【図 16】

受信部のスキュー合わせタイムチャート実施例



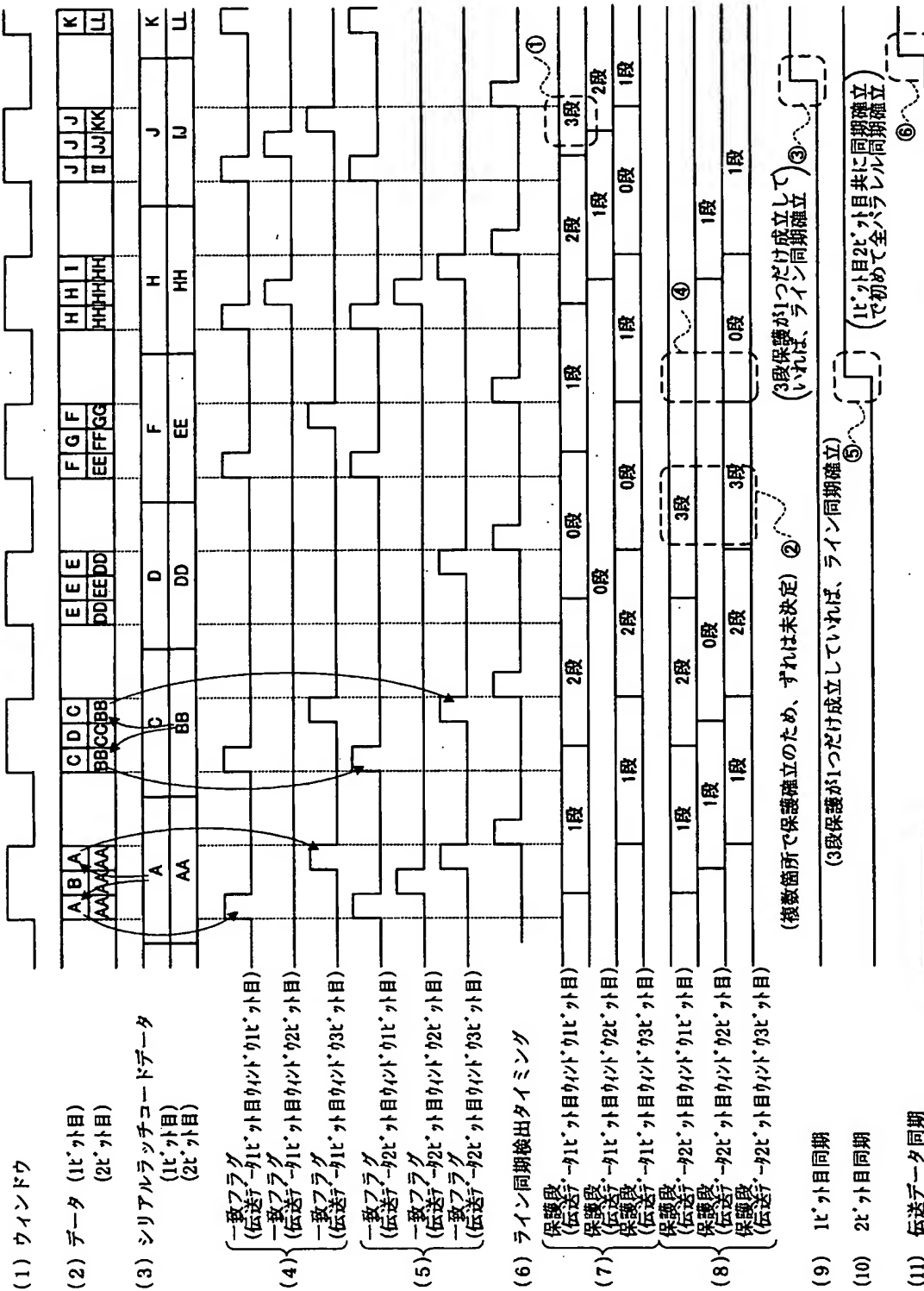
【図 17】

ビットずれ検出部の実施例



【図 18】

ビットずれ検出部の動作タイムチャート



【書類名】 要約書

【要約】

【課題】 送信部でシリアル信号をパラレル信号に変換してから受信部に伝送するパラレル信号伝送装置において、単純な遅延回路では抑制が困難な時間軸でのスキューデータ位相のばらつきを調整する。

【解決手段】 送信部で、パラレル信号とは別に該パラレル信号を周期的にラッチした信号からシリアルラッチコード信号を生成し、該パラレル信号を所定時間遅延させて該シリアルラッチコード信号に対する該パラレル信号の位相調整を行って受信部に送ると共に、受信部が再生クロックに基づいて該送信部からのパラレル信号のビット乗換を行い、該シリアルラッチコード信号に基づいてビット乗換が行われたパラレル信号のビットずれ量を検出し、このビットずれ量に従ってビット乗換したパラレル信号のスキュー調整を行う。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社